

RTU studiju kurss "Integrālo shēmu izstrāde 2.daļa"

33000 Datorzinātnes, informācijas tehnoloģijas un enerģētikas fakultāte

Vispārējā informācija

Kods	DE0732
Nosaukums	Integrālo shēmu izstrāde 2.daļa
Studiju kursa statuss programmā	Obligātais/Ierobežotās izvēles
Atbildīgais mācībspēks	Māris Tērauds - Doktors, Asociētais profesors
Mācībspēks	Mihails Pudžs - Lektors
Apjoms daļās un kredītpunktos	1 daļa, 3.0 kredītpunkti
Studiju kursa īstenošanas valodas	LV, EN
Anotācija	Studiju kurss turpina RTR702 studiju kursa tematiku, iepazīstina studentus ar integrālo shēmu izstrādes pamatprincipiem: teorētiski – lekciju laikā, praktiski – laboratorijas darbu laikā. Lekcijās un praktisko darbu laikā tiek apskatīti komplicētie čipu izveides jautājumi: jaudas minimizācija, drošums (robustness), kā arī jaukto (analogi-digitālo) čipu izveides slāņu dizaini, parazitiskie efekti. CADENCE ir profesionālais instruments priekš integrālo shēmu (čipu) pilnvērtīgas izstrādes automatizācijas un testēšanas dažādos līmeņos.
Mērķis un uzdevumi, izteikti kompetencēs un prasmēs	Studiju kursa mērķis ir iemācīt teorētiski un praktiski projektēt "labas", kvalitatīvas integrālās shēmas, spēt analizēt shēmas robustumu pirms izgatavošanas, izmantojot CADENCE programmatūru. Studiju kursa uzdevumi: iepazīstināt ar CADENCE vai līdzīgu programmatūru; attīstīt spēju darboties ar CADENCE vai līdzīgu programmatūru; veicināt patstāvīgu interesi noslēguma darba izstrādē šajā mikroelektronikas tematikā.
Patstāvīgais darbs, tā organizācija un uzdevumi	1. Literatūras studēšana. Uzdevums: paplašināt un nostiprināt lekciju laikā iegūto. 2. Mājas darbu risināšana. Uzdevums: sekmēt regulāru literatūras studēšanu un lekciju apmeklējumu. 3. Gatavošanās laboratorijas darbiem. Uzdevums: Sasaistīt lekciju laikā apgūto ar praktisko darbu.
Literatūra	Obligātā/Obligatory: 1. Cadence tutorials, support.cadence.com (course instructor will provide access), last checked on 03.02.2022 2. T.C.Carusone, D.A.Johns, K.W.Martin, Analog Integrated Circuit Design. John Wiley & Sons, Inc. 2012. Papildu/Additional: 3. N. Weste, D. Harris. CMOS VLSI Design: A Circuits and Systems Perspective. Addison-Wesley, 4 ed., 2011, 864 p., ISBN-13: 978-0321547743. 4. Helmut E.Graeb. Analog Design Centering and Sizing. 2007. ISBN 978-1-4020-6003-8 5. R. Jacob Baker. CMOS: Circuit Design, Layout, and Simulation. Wiley-IEEE Press, 4rd ed., 2019, 1280 p. ISBN: 978-1-119-48151-5. 6. Erik Brunvand. Digital VLSI Chip Design with Cadence and Synopsys CAD Tools. Addison-Wesley; 1st ed., 2009, 624 p., ISBN-10: 0321547993. 7. J. M. Rabaey, A. Chandrakasan, B. Nikolic. Digital Integrated Circuits. Prentice Hall, 2nd ed., 2003, 761 p., ISBN-13: 978-0130909961. 8. Kaeslin, Hubert. Digital integrated circuit design : from VLSI architectures to CMOS fabrication. Cambridge : Cambridge University Press, 2008. xxii, 845 lpp. : il. ISBN 9780521882675. 9. Mohanty, Saraju P., Nanoelectronic mixed-signal system design / New York : McGraw-Hill Education, 2015., 788 p.
Nepieciešamās priekšzināšanas	Integrālo shēmu izveidošanas pamatjautājumi, pieredze darbam ar Cadence Virtuoso.

Studiju kursa saturs

Saturs	Pilna un nepilna laika klātienē studijas		Nepilna laika neklātienē studijas	
	Kontakt stundas	Patstāv. darbs	Kontakt stundas	Patstāv. darbs
CMOS mikroshēmas dizaina veidošanas pamatetapi.	2	3	0	0
Advancētais dizains analogai integrālai shēmai.	4	6	0	0
Integrālas shēmas patērētā jauda un tās minimizācija.	2	3	0	0
Dizaina robustums.	4	6	0	0
Analogas, ciparu un jauktās mikroshēmas izveides īpatnības.	2	3	0	0
1.prakt.darbs Parametriskā analīze.	2	3	0	0
2.prakt.darbs Noturības analīze.	2	3	0	0
3.prakt.darbs Monte-Karlo analīze.	2	3	0	0
4.prakt.darbs Izveidotās shēmas optimizācija.	2	3	0	0
5.prakt.darbs Lietderības koeficienta optimizācija.	2	3	0	0
6.prakt.darbs Ar dizainu saistītie efekti.	2	3	0	0
7.prakt.darbs Maršrutēšanas izaicinājumi.	2	3	0	0
8.prakt.darbs. Čipa izveide.	4	6	0	0

Sasniedzamie studiju rezultāti un to vērtēšana

Sasniedzamie studiju rezultāti	Rezultātu vērtēšanas metodes
Spēj veikt izveidotās mikroshēmas dizaina centrēšanu (Spēj darboties ar Virtuoso paketes parametrisko, noturības, Monte-Karlo, optimizācijas un lietderības koeficienta uzlabošanas analīzes simulātoriem).	Laboratorijas darbi.
Saprot kas ir integrālas shēmas patērējamā jauda un kā to minimizēt.	Gala pārbaudes darbs.
Spēj pielietot CADENCE Virtuoso paketi integrālo shēmu izstrādei.	Laboratorijas darbi. Gala pārbaudes darbs..
Spēj analizēt, prognozēt un uzlabot shēmas drošumu pirms izgatavošanas.	Laboratorijas darbi.

Studiju rezultātu vērtēšanas kritēriji

Kritērijs	% no kopējā vērtējuma
Izstrādāti laboratorijas darbi, noformētas atskaites	50
Gala pārbaudes darbs (laboratorijas darbu esamība ir obligāts nosacījums)	50
Kopā:	100

Studiju kursa plānojums

Daļa	KP	Stundas			Pārbaudījumi		
		Lekcijas	Prakt d.	Laborat	Ieskaite	Eksām.	Darbs
1.	3.0	16.0	16.0	0.0		*	