

RTU studiju kurss "Funkcionālo un loģisko shēmu modelēšana"

33000 Datorzinātnes, informācijas tehnoloģijas un enerģētikas fakultāte

Vispārējā informācija

Kods	DE0092
Nosaukums	Funkcionālo un loģisko shēmu modelēšana
Studiju kursa statuss programmā	Obligātais/Ierobežotās izvēles
Atbildīgais mācībspēks	Artūrs Āboltiņš - Doktors, Profesors
Mācībspēks	Rihards Novickis - Doktors, Lektors
Apjoms daļās un kredītpunktos	1 daļa, 4.0 kredītpunkti
Studiju kursa īstenošanas valodas	LV, EN
Anotācija	Šis ir studiju kurss lauka programmējamo ventiļu matricu (Field Programmable Gate Array – FPGA) programmēšanā. Studiju kursā tiek apskatīti ciparu elektronisko shēmu pamati, dažādi veidi ciparu elektronisko sistēmu aprakstīšanai un reprezentācijai izmantojot laika diagrammas, RTL izklājumu, stāvokļa diagrammas, un tml., kā arī implementācija izmantojot HDL valodas, simulācijas un reālo iekārtu programmēšana. Studiju kursa gaitā, apskatāmo problēmu sarežģītība pieaug – no vienkāršiem skaitītājiem līdz kompleksiem vadības mezgliem, stāvokļa automātiem un signālu apstrādes konveijeriem.
Mērķis un uzdevumi, izteikti kompetencēs un prasmēs	Studiju kursa mērķis ir iepazīstināt ar programmējamo loģisko shēmu izstrādi un to simulāciju. Studiju kursa uzdevumi ir: iepazīstināt ar FPGA un HDL; attīstīt prasmes, kas nepieciešamas problēmu risināšanai (t.i., kontroliera vai signāla apstrādes moduļa projektēšanai), izmantojot programmējamas loģikas paradigmas, izstrādes rīkus un programmējamās loģikas ierīces.
Patstāvīgais darbs, tā organizācija un uzdevumi	<ol style="list-style-type: none"> 1. Lekcijas vielas atkārtošana. Uzdevums: veicināt lekciju vielas regulāru apguvi. 2. Piedāvāto mājas darbu izpilde. Uzdevums: veicināt prasmi patstāvīgi un regulāri strādāt ar literatūru. 3. Gatavošanās kontroldarbiem (par lekciju laikā apskatītajām tēmām). Uzdevums: veicināt sistemātisku materiāla apguvi visa semestra laikā. 4. Gatavošanās laboratorijas darbiem, laboratorijas darbu atskaišu iesniegšana, noformēšana un aizstāvēšana. Uzdevums: veicināt teorētiskā materiāla izpratni, attīstīt patstāvīgas izpētes darba iemaņas. 5. Individuālā projekta izstrāde. Kontrole tiek nodrošināta, pārbaudot izstrādāto ierīci darbībā.
Literatūra	<p>Obligātā/Obligatory:</p> <ol style="list-style-type: none"> 1. Pong P. Chu. RTL Hardware Design Using VHDL. Coding for Efficiency, Portability and Scalability. John Wiley & Sons Inc. Publications, 2006. 2. Brock J. LaMeres. Introduction to Logic Circuits & Logic Design With VHDL, 2nd Edition. Springer, 2019. 3. 1076 IEEE Standard VHDL Language Reference Manual. IEEE, 2002. 4. Introduction to Quartus II Manual. Altera, 2005. 2010. <p>Papildu/Additional:</p> <ol style="list-style-type: none"> 5. Sarah L. Harris et al. Digital Design and Computer Architecture, ARM® Edition. Elsevier Inc, 2016. 6. W. H. Press et al. Numerical Recipes in C. The Art of Scientific Computing. Cambridge Univ. Press, 1992. 7. 1364 IEEE Standard 1364 Verilog Language Reference Manual. IEEE, 2004. 8. S. Brown, Z. Vranesic. Fundamentals of Digital Logic with VHDL. 2nd ed. Mc Graw Hill, 2005. 9. FPGA Synthesis and Simulation Design Guide. Xilinx, 2010. 10. D. L. Perry. VHDL Programming by Example. 4th ed. McGraw Hill, 2002. 11. P. J. Ashenden. The VHDL Cookbook. 1st ed. Adelaide University, 1998. 12. V. A. Pedroni. Circuit Design With VHDL. MIT Press, 2004. 13. A. Zemva, A. Trost, B. Zajc. Introduction to System Design with FPGAs. REASON Summer School FPGA-based and Re-configurable Systems. Ljubljana, Slovenia, 2003. 14. B. Zeideman. An Introduction to FPGA Design. Embedded Systems Conference, 1999. 15. C. Alford, T. C. Huang. Digital Design VHDL Laboratory Notes. CERL/EE, 1996. 16. P. Dueck. Digital Design with CPLD Applications and VHDL. DELMAR, 2000. 17. A. M. Сергиенко. VHDL для проектирования цифровых устройств. Киев: ЧП "Корнейчук", ООО "ТИД" "ДС", 2003. 18. P. Misāns. Pirmie soļi darbā ar MATLAB: lekciju konspekts. PIMARS, 2003. 19. P. Misāns. Ievads inženiermatemātikas datorrealizācijā: lekciju konspekts. PIMARS, 2003. 20. P. Misāns. Ievads inženiermatemātikas datorrealizācijā: lekciju konspekts. Elektroniskā versija *.pdf datnes formātā. RTU, 2007. 21. P. Misāns, M. Tērauds, G. Valters. Darbs ar MATLAB un SIMULINK: lekciju kolekcija kvalifikācijas celšanas kursiem. RTU, LETERA, 200
Nepieciešamās priekšzināšanas	Elektro inženiermatemātikas pamati, ciparu elektronikas pamati, signālu teorijas pamati.

Studiju kursa saturs

Saturs	Pilna un nepilna laika klātienes studijas		Nepilna laika neklātienes studijas	
	Kontakt stundas	Patstāv. darbs	Kontakt stundas	Patstāv. darbs
Lec.: Pārskats par funkcionālo un loģisko shēmu simulācijas un izstrādes sistēmām.	4	6	0	0

Lekc.: Fiksētā punkta aritmētikas izmantošana ciparu signālapstrādes algoritmos.	4	6	0	0
Lekc.: Ievads darbā ar loģisko shēmu izstrādes sistēmu Quartus II vidē.	4	6	0	0
Lekc.: Vienkāršu loģisku shēmu grafiska veidošana Quartus II vidē.	4	6	0	0
Lekc.: Ievads darbā ar FPGA aparatūras izstrādes līdzekļiem.	4	6	0	0
Lekc.: Ievads VHDL valodā un loģisko shēmu izstrāde.	8	12	0	0
Lekc.: Ievads Verilog valodā un loģisko shēmu izstrāde.	4	6	0	0
Lab. d.: Ģeneratora izveide FPGA, izmantojot Quartus vidi.	4	6	0	0
Lab. d.: Decimālā skaitītāja ar 7 segmentu LCD indikatoru izveide ar FPGA izstrādes līdzekli.	4	6	0	0
Lab. d.: LCD monitora pieslēgšana FPGA izstrādes līdzeklim.	4	6	0	0
Lab. d.: Signālu formas kontrole darbā ar FPGA.	4	6	0	0
Kopā:	48	72	0	0

Sasniedzamie studiju rezultāti un to vērtēšana

Sasniedzamie studiju rezultāti	Rezultātu vērtēšanas metodes
Prot patstāvīgi darboties FPGA izstrādes vidē Quartus II, veidot tajā grafiski vienkāršākās loģiskās shēmas un simulēt tās.	Plānoto laboratorijas darbu sekmīga izstrāde un aizstāvēšana. Nokārtots eksāmens.
Spēj patstāvīgi izstrādāt relatīvi vienkāršu sistēmu loģiskās shēmas VHDL/Verilog valodās un simulēt to darbību Quartus II/ModelSim vidē.	Sekmīgi izstrādāts individuālais uzdevums. Sekmīga visu plānoto laboratorijas darbu izstrāde un aizstāvēšana. Nokārtots eksāmens.
Prot patstāvīgi īstenot vienkāršu loģisko shēmu darbību ar FPGA izstrādes līdzekļiem.	Sekmīga visu plānoto laboratorijas darbu izstrāde un aizstāvēšana. Nokārtots eksāmens.
Rezumējums: prot patstāvīgi izstrādāt relatīvi sarežģītu sistēmu funkcionālās shēmas un simulēt tās. Spēj patstāvīgi izstrādāt loģiskās shēmas VHDL/Verilog valodā un īstenot to darbību ar FPGA izstrādes līdzekļiem.	Sekmīgi izstrādāts individuālais uzdevums. Sekmīgi aizstāvēti visi laboratorijas darbi, nodoti visi mājas darbi, nokārtots eksāmens.

Studiju rezultātu vērtēšanas kritēriji

Kritērijs	% no kopējā vērtējuma
Laboratorijas darbi	20
Individuālais uzdevums	30
Eksāmens	50
Kopā:	100

Studiju kursa plānojums

Daļa	KP	Stundas			Pārbaudījumi		
		Lekcijas	Prakt d.	Laborat	Ieskaite	Eksām.	Darbs
1.	4.0	16.0	0.0	32.0		*	