

## RTU studiju kurss "Ciparu elektronisko sistēmu projektēšanas pamati izmantojot HDL"

33000 Datorzinātnes, informācijas tehnoloģijas un enerģētikas fakultāte

### Vispārējā informācija

Kods	REA711
Nosaukums	Ciparu elektronisko sistēmu projektēšanas pamati izmantojot HDL
Studiju kursa statuss programmā	Obligātais/Ierobežotās izvēles
Atbildīgais mācībspēks	Dmitrijs Pikuļins - Doktors, Profesors
Mācībspēks	Rihards Novickis - Doktors, Lektors
Apjoms daļās un kredītpunktos	1 daļa, 3.0 kredītpunkti, 4.5 EKPS kredītpunkti
Studiju kursa īstenošanas valodas	LV, EN
Anotācija	Ciparu elektronisko sistēmu izstrāde ir komplicēts process un sevī ietver daudzas dažādas prasmes un projektēšanas pieejas. Kurša ietvaros tiek apgūta ciparu elektronisko sistēmu projektēšana starpreģistru pārvades līmenī. Tiek apgūtas tēmas par ciparu shēmu projektēšanu, aprakstu VHDL valodā, sintēzes procesiem, kā arī nozares aktualitātēm.
Mērķis un uzdevumi, izteikti kompetencēs un prasmēs	Kurša mērķis ir sniegt pamatprasmes ciparu elektronisko sistēmu projektēšanā un VHDL valodā, tādējādi dodot iespēju: <ul style="list-style-type: none"> <li>- apgūt ciparu elektronikas pamatprincipus,</li> <li>- apgūt ciparu komunikācijas protokolu pamatus,</li> <li>- iegūt prasmes vienkāršu ciparu interfeisu kontrolieru izstrādei,</li> <li>- izprast ciparu sistēmu, tai skaitā procesoru, darbību,</li> <li>- dot iespēju apgūt un saprast komplicētas vienčipa sistēmas,</li> <li>- veicināt intuīciju mūsdienu elektronikas sistēmu veidošanā,</li> <li>- paplašināt redzesloku par mūsdienu elektronikas tendencēm.</li> </ul>
Patstāvīgais darbs, tā organizācija un uzdevumi	1. Gatavošanās kontroldarbiem (vairākas reizes semestra laikā tiek organizēts kontroldarbs par iepriekšējo nodarbību tēmām). Uzdevums: veicināt sistemātisku materiāla apguvi, kā arī identificēt un pievērst uzmanību studentu vajībām mācību procesā. 2. Mājas darbi (studentiem tiks uzdots patstāvīgi uzprojektēt shēmu kāda noteikta uzdevuma izpildei). Uzdevums: veicināt patstāvību materiāla apguves procesā.
Literatūra	Obligātā/Obligatory. - - Pong P. Chu. RTL hardware design using VHDL, Wiley-IEEE Press; 1 edition (April 10, 2006) Peter J. Ashenden . The designers guide to VHDL Morgan Kaufmann; 3 edition (May 29, 2008) Ricardo Jasinski . Effective Coding with VHDL: Principles and Best Practice The MIT Press, 2016 Papildu/Additional. - - IEEE. IEEE 1076-2008 - IEEE Standard VHDL Language Reference Manual IEEE, 2008 Ian Kuon, Russell Tessier, Jonathan Rose. FPGA Architecture: Survey and Challenges Now Publishers Inc (April 18, 2008) John F. Wakerly. Digital Design: Principles and practices, 4th edition Pearson; 4th edition (July 31, 2005) Orhan Gazi . A Tutorial Introduction to VHDL Programming Springer, 2019
Nepieciešamās priekšzināšanas	Būla algebra, Analogās elektronikas pamatslēgumi.

### Studiju kursa saturs

Saturs	Pilna un nepilna laika klātienēs studijas		Nepilna laika neklātienēs studijas	
	Kontakt stundas	Patstāv. darbs	Kontakt stundas	Patstāv. darbs
Ievads ciparu shēmu projektēšanā un integrālo shēmu tehnoloģijās.	2	3	0	0
Aparatūru aprakstošo valodu (Hardware Description Language – HDL) apskats, to koncepcija un izstrādes plūsma.	2	3	0	0
Ievads VHDL valodā. Koda atslēgvārdi un struktūras. VHDL standarta bibliotēkas. Datu tipi un operatori. Koda strukturizēšana.	2	3	0	0
Ciparu loģikas pamatelementi, to apraksts VHDL valodā. Būla algebras pamatelementi. Multiplexori un demultiplexori. Trigeri. Reģistri. Pussumatori. Summatori. Reizinātājs. Patiesības tabulas. u.c.	8	12	0	0
Secīga ciparu loģika un ar to saistītās VHDL valodas konstrukcijas un pamatnostādnes. Divu segmentu koda rakstīšanas pieeja.	2	3	0	0
VHDL koda sintēze un ierobežojumi. Operatoru realizācija. Datu tipu realizācija. Signālu izplatīšanās apsvērumi.	2	3	0	0
Kombinatoriskās loģikas projektēšana. Operatoru sadale. Funkcionalitātes sadale. Shēmu izklājums. Programmējams prioritātes dekodētājs. Greja koda inkrements. Heminga distances aprēķināšanas shēma.	6	9	0	0
Secīgu shēmu projektēšana. Secīgas shēmas modelis. Bīdes reģistrs. Binārais skaitītājs. Dekādes skaitītājs. Greja skaitītājs. Cirkulārais skaitītājs. PWM modulators. Reģistru fails.	6	4	0	0
Padziļināta shēmas izklājuma un signālu izplatīšanās laika ierobežojumu izpēte.	3	2	0	0
Simulācijas vides. Funkcionālā simulēšana. Simulācijas programmas gatavošana. VHDL mainīgie.	6	4	0	0
Konveijera princips.	6	4	0	0

Galīgais stāvokļu automāts.	6	4	0	0
Laika signālu sinhronizācija. Atiestatīšanas signālu realizācija.	3	2	0	0
Ciparu loģikā sastopamo funkcionālo bloku apskats. Pirmais-Iekšā-Pirmais-Ārā (FIFO) buferis, meklējumtabula (LUT), atmiņas tiešpiekļuves kontrolieri, starpsavienojumu loģika, u.c.	3	2	0	0
Augsta līmeņa abstrakcijas pieejas ciparu shēmu projektēšanai	3	2	0	0
<b>Kopā:</b>	<b>60</b>	<b>60</b>	<b>0</b>	<b>0</b>

### ***Sasniedzamie studiju rezultāti un to vērtēšana***

Sasniedzamie studiju rezultāti	Rezultātu vērtēšanas metodes
Pārzina ciparu elektronikas pamatelementus, to īpašības un pielietojumus.	Kontroldarbs, eksāmens.
Pārzina VHDL valodas pamatnostādnes un spēj to pielietot digitālu shēmu aprakstam.	Kontroldarbs, eksāmens.
Spēj patstāvīgi projektēt un aprakstīt vienkāršas ciparu shēmas, izmantojot to funkcionālo un/vai laika aprakstu.	Kontroldarbs, eksāmens.
Izprot ciparu shēmu sintēzes procesu un tehnoloģijas.	Kontroldarbs, eksāmens.
Pārzina izplatītākās ciparu elektronikas konstrukcijas un funkcionālos blokus.	Kontroldarbs, eksāmens.
Spēj pielietot konveijerizācijas un galīgā stāvokļu automāta principus ciparu shēmu projektēšanā.	Kontroldarbs, eksāmens.

### ***Studiju rezultātu vērtēšanas kritēriji***

Kritērijs	% no kopējā vērtējuma
Kontroldarbi	50
Eksāmens	50
<b>Kopā:</b>	<b>100</b>

### ***Studiju kursa plānojums***

Daļa	KP	Stundas			Pārbaudījumi		
		Lekcijas	Prakt d.	Laborat	Ieskaite	Eksām.	Darbs
1.	3.0	3.0	0.0	0.0		*	