

RTU studiju kurss "Integrālo shēmu izstrāde, 1.daļa"

33000 Datorzinātnes, informācijas tehnoloģijas un enerģētikas fakultāte

Vispārējā informācija

Kods	DE0104
Nosaukums	Integrālo shēmu izstrāde, 1.daļa
Studiju kursa statuss programmā	Obligātais/Ierobežotās izvēles
Atbildīgais mācītspēks	Māris Tērauds - Doktors, Asociētais profesors
Mācītspēks	Mihails Pudžs - Lektors
Apjoms daļās un kredītpunktos	1 daļa, 4.0 kredītpunkti
Studiju kursa īstenošanas valodas	LV, EN
Anotācija	Studiju kurss iepazīstina studentus ar integrālo shēmu izstrādes pamatetapiem: teorētiski – lekciju laikā, praktiski – laboratorijas darbu laikā. Lekcijās tiek apskatīti elektronikas pamatelementu un vienkāršo shēmu uzbūve, slāņu dizaini, parazitiskie efekti. Laboratorijas darbu laikā, ar CADENCE programmatūras palīdzību tiek izstrādāts un testēts integrālās mikroshēmas prototips: no tranzistoriem mikroshēmas iekšpusē līdz izvadiem mikroshēmas ārpusē. CADENCE ir profesionālais instruments priekš integrālo shēmu (čipu) pilnvērtīgas izstrādes automatizācijas un testēšanas dažādos līmeņos.
Mērķis un uzdevumi, izteikti kompetencēs un prasmēs	Mērķis ir iemācīt teorētiski un praktiski projektēt vienkāršākās integrālās shēmas, izmantojot CADENCE vai līdzīgu programmatūru. Studiju kursa uzdevumi: 1. Veicināt prasmi patstāvīgi un regulāri strādāt ar literatūru. 2. Veicināt teorētiskā materiāla izpratni. 3. Attīstīt patstāvīgas izpētes darba iemaņas. 4. Panākt, ka tiek iegūtas prasmes patstāvīgi risināt reālus inženieraprēķinu uzdevumus CADENCE vai līdzīgā vidē un spēja patstāvīgi pilnveidot šīs prasmes.
Patstāvīgais darbs, tā organizācija un uzdevumi	1. Literatūras studēšana. Uzdevums: paplašināt un nostiprināt lekciju laikā iegūto. 2. Mājas darbu risināšana. Uzdevums: sekmēt regulāru literatūras studēšanu un lekciju apmeklējumu. 3. Gatavošanās laboratorijas darbiem. Uzdevums: sasaistīt lekciju laikā apgūto ar praktisko darbu. 4. Gatavošanās laboratorijas darbu aizstāvēšanai. Uzdevums: sasaistīt lekcijas apgūtās zināšanas ar praktisko darbu.
Literatūra	Obligātā/Obligatory: 1. T.C.Carusone, D.A.Johns, K.W.Martin, Analog integrated circuit design, Publisher : Wiley; 2nd edition, 2011, 816 pages, ISBN-10: 0470770104 2. B.Razavi, Design of Analog CMOS Integrated Circuits, Mc Graw Hill, 2017, ISBN-10 938706784X 3. R. Jacob Baker. CMOS: Circuit Design, Layout, and Simulation. Wiley-IEEE Press, 4rd ed., 2019, 1280 p., ISBN: 978-1-119-48151-5 4. N. Weste, D. Harris. CMOS VLSI Design: A Circuits and Systems Perspective. Addison-Wesley, 4 ed., 2011, 864 p., ISBN-13: 978-0321547743. Papildu/Additional: 5. Erik Brunvand. Digital VLSI Chip Design with Cadence and Synopsys CAD Tools. Addison-Wesley; 1st ed., 2009, 624 p., ISBN-10: 0321547993. 6. J. M. Rabaey, A. Chandrakasan, B. Nikolic. Digital Integrated Circuits. Prentice Hall, 2nd ed., 2003, 761 p., ISBN-13: 978-0130909961. 7. Kaeslin, Hubert. Digital integrated circuit design : from VLSI architectures to CMOS fabrication. Cambridge : Cambridge University Press, c2008. xxii ,845 lpp. : il. ISBN 9780521882675. 8. Mohanty, Saraju P., Nanoelectronic mixed-signal system design / New York : McGraw-Hill Education, 2015.,788 p.
Nepieciešamās priekšzināšanas	Pamatzināšanas elektronikā, bakalaura grāds.

Studiju kursa saturs

Saturs	Pilna un nepilna laika klātienes studijas		Nepilna laika neklātienes studijas	
	Kontakt stundas	Patstāv. darbs	Kontakt stundas	Patstāv. darbs
1. CMOS integrālās shēmas izgatavošanas process, to veidojošie slāņi.	2	3	0	0
2. Rezistoru, kondensatoru slāņu dizains, parazitiskie efekti.	2	3	0	0
3. Tranzistoru slāņu dizains, parazitiskie efekti.	2	3	0	0
4. Integrālo shēmu veidi, projektēšanas metodes.	2	3	0	0
5. Tranzistoru darbības princips.	2	3	0	0
6. Multipleksoru, trieru slāņu dizains.	2	3	0	0
7. Aiztures.	2	3	0	0
8. Jauda.	2	3	0	0
9. Slāņu dizaina mērogošana.	2	3	0	0
10. Loģiskās kļūdas un shēmas uzticamība.	2	3	0	0
11. Testēšana.	2	3	0	0

12. Vadu izveidošana integrālajās shēmas.	2	3	0	0
13. Summatoru slāņu dizains.	2	3	0	0
14. Atmiņa.	2	3	0	0
1.lab.d. Sprieguma dalītāja slāņu dizains un simulācija.	4	6	0	0
2.lab.d. Tranzistoru slāņu dizains un simulācija.	4	6	0	0
3.lab.d. Invertora izveide, slāņu dizains un simulācija.	2	3	0	0
4.lab.d. Nē-shēmas izveide, slāņu dizains un simulācija.	2	3	0	0
5.lab.d. Gredzena oscilatora shēmas izveide, slāņu dizains un simulācija.	2	3	0	0
6.lab.d. Izveidoto shēmu slāņu dizainu izmantošana integrālās shēmas veidošanai. Izvadu pievienošana.	4	6	0	0
7.lab.d. Automatizētā integrālās shēmas projektēšana.	2	3	0	0
Kopā:	48	72	0	0

Sasniedzamie studiju rezultāti un to vērtēšana

Sasniedzamie studiju rezultāti	Rezultātu vērtēšanas metodes
Spēj izmantot CADENCE VIRTUOSO Schematic editor vienkāršo uz sarežģīto shēmu sastādīšanai.	Laboratorijas darbs un tā aizstāvēšana.
Spēj izmantot CADENCE VIRTUOSO Layout editor vienkāršo un sarežģīto integrālo shēmu slāņu dizaina veidošanai.	Laboratorijas darbi.
Spēj izmantot CADENCE Design Rule checker slāņu dizaina kļūdu meklēšanai.	Laboratorijas darbs un tā aizstāvēšana.
Spēj izmantot CADENCE VIRTUOSO AMS simulātoru integrālo shēmu slāņu dizaina simulācijai.	Laboratorijas darbi.
Spēj pielietot CADENCE paketi integrālo shēmu izstrādei.	Laboratorijas darbi. Noslēguma pārbaudes darbs.

Studiju rezultātu vērtēšanas kritēriji

Kritērijs	% no kopējā vērtējuma
Izpildīti visi laboratorijas darbi, noformētas atskaites, laboratorijas darbu aizstāvēšana	50
Uzrakstīts noslēguma pārbaudes darbs (laboratorijas darbu esamība ir obligāts nosacījums)	50
Kopā:	100

Studiju kursa plānojums

Daļa	KP	Stundas			Pārbaudījumi		
		Lekcijas	Prakt d.	Laborat	Ieskaite	Eksām.	Darbs
1.	4.0	24.0	0.0	24.0		*	