

RTU studiju kurss "Funkcionālo un loģisko shēmu modelēšana"

33000 Datorzinātnes, informācijas tehnoloģijas un enerģētikas fakultāte

Vispārējā informācija

Kods	RTR532
Nosaukums	Funkcionālo un loģisko shēmu modelēšana
Studiju kursa statuss programmā	Obligātais/Ierobežotās izvēles
Atbildīgais mācītspēks	Artūrs Āboltiņš - Doktors, Profesors
Mācītspēks	Mihails Pudžs - Lektors
Apjoms daļās un kredītpunktos	1 daļa, 6.0 kredītpunkti
Studiju kursa īstenošanas valodas	LV, EN
Anotācija	Sarežģītu sistēmu simulācijas un izstrādes vides (SIMULINK, Ptolemy u.c.) . Loģisko shēmu izstrādes vides Quartus II un ISE. Funkcionālo shēmu izstrāde, izmantojot MATLAB/SIMULINK. Ievads ciparu shēmu apraksta un sintēzes valodās VHDL un Verilog. Loģisko shēmu izstrādes līdzekļi. Reālu loģisko shēmu izstrāde, izmantojot Quartus vidi.
Mērķis un uzdevumi, izteikti kompetencēs un prasmēs	Iepazīties ar sarežģītu sistēmu funkcionālo shēmu izstrādi un to simulāciju. Iegūt prasmes veidot reālas, uz FPGA balstītas, loģiskās shēmas VHDL valodā, patstāvīgi kā arī patstāvīgi īstenot reālus, uz FPGA balstītus, inženierprojektus. Prast patstāvīgi apgūt un spēt pilnveidot zināšanas sistēmu simulācijā, shēmu apraksta valodās un FPGA balstītu sistēmu izstrādē.
Patstāvīgais darbs, tā organizācija un uzdevumi	1.Lekcijas vielas atkārtošana.Kontrole tiek nodrošināta ar testiem (īsiem kontroldarbiem) lekcijas laikā. Uzdevums: veicināt lekciju vielas regulāru apguvi 2.Piedāvāto mājas darbu izpilde. Uzdevums: veicināt prasmi patstāvīgi un regulāri strādāt ar literatūru 3.Gatavošanās kontroldarbiem (lekciju laikā par apskatītajām tēmām). Uzdevums: veicināt sistemātisku materiāla apguvi visa semestra laikā 4.Gatavošanās laboratorijas darbiem, laboratorijas darbu atskaišu iesniegšana, noformēšana un aizstāvēšana. Uzdevums: veicināt teorētiskā materiāla izpratni, attīstīt patstāvīgas izpētes darba iemaņas 5.Individuālā projekta izstrāde. Kontrole tiek nodrošināta, pārbaudot izstrādāto ierīci darbībā.
Literatūra	Obligātā/Obligatory: 1.W. H. Press et al. Numerical Recipes in C. The Art of Scientific Computing. Cambridge Univ. Press, 1992. 2.J. B. Dabney, T. L. Harman. Mastering SIMULINK. New Jersey: Pearson Prentice Hall, 2004. 3.MATLAB/SIMULINK/Toolboxes/Blocksets User Guides for Version 7. MathWorks, 2004. 4.1076 IEEE Standard VHDL Language Reference Manual. IEEE, 2002. 5.1364 IEEE Standard 1364 Verilog Language Reference Manual. IEEE, 2004. 6.S. Brown, Z. Vranesic. Fundamentals of Digital Logic with VHDL. 2nd ed. Mc Graw Hill, 2005. 7.Introduction to Quartus II Manual. Altera, 2005. 2010. 8.FPGA Synthesis and Simulation Design Guide. Xilinx, 2010. 9.D. L. Perry. VHDL Programming by Example. 4th ed. McGraw Hill, 2002. Papildu/Additional: 1.V. A. Pedroni. Circuit Design With VHDL. MIT Press, 2004. 2.A. Zemva, A. Trost, B. Zajc. Introduction to System Design with FPGAs. REASON Summer School FPGA-based and Re-configurable Systems. Ljubljana, Slovenia, 2003. 3.B. Zeideman. An Introduction to FPGA Design. Embedded Systems Conference, 1999. 4.C. Alford, T. C. Huang. Digital Design VHDL Laboratory Notes. CERL/EE, 1996. 5.P. Dueck. Digital Design with CPLD Applications and VHDL. DELMAR, 2000. 6.P. Misāns. Pirmie soļi darbā ar MATLAB: lekciju konspekts. PIMARS, 2003. 7.P. Misāns. Ievads inženiermatemātikas datorrealizācijā: lekciju konspekts. PIMARS, 2003. 8.P. Misāns. Ievads inženiermatemātikas datorrealizācijā: lekciju konspekts. Elektroniskā versija *.pdf datnes formātā. RTU, 2007. 9.P. Misāns, M. Tērauds, G. Valters. Darbs ar MATLAB un SIMULINK: lekciju kolekcija kvalifikācijas celšanas kursiem. RTU, LETERA, 2007. 10.C. B. Поршнев. Учебник MATLAB 7. Основы работы и программирования. Москва: Изд-во Бином, 2006. 11.A. M. Сергиенко. VHDL для проектирования цифровых устройств. Киев: ЧП "Корнейчук", ООО "ТИД" "ДС", 2003. 12.P. J. Ashenden. The VHDL Cookbook. 1st ed. Adelaide University, 1998.
Nepieciešamās priekšzināšanas	Elektro inženiermatemātikas pamati, ciparu elektronikas pamati, signālu teorijas pamati

Studiju kursa saturs

Saturs	Pilna un nepilna laika klātienes studijas		Nepilna laika neklātienes studijas	
	Kontakt stundas	Patstāv. darbs	Kontakt stundas	Patstāv. darbs
Lekc.: Pārskats par funkcionālo un loģisko shēmu simulācijas un izstrādes sistēmām	2	3	0	0
Lekc.: Fiksētā punkta aritmētikas izmantošana ciparu signālapstrādes algoritmos	2	3	0	0
Lekc.: Ievads darbā ar loģisko shēmu izstrādes sistēmu Quartus II vidē.	2	3	0	0
Lekc.: Vienkāršu loģisko shēmu grafiska veidošana Quartus II vidē	2	3	0	0
Lekc.: Ievads darbā ar FPGA aparatūras izstrādes līdzekļiem.	4	6	0	0

Lekc.: Ievads VHDL valodā un loģisko shēmu izstrāde	8	12	0	0
Lekc.: Ievads Verilog valodā un loģisko shēmu izstrāde	2	3	0	0
Lekc.: Loģisko shēmu apraksta koda ģenerācija, izmantojot SIMULINK HDL Coder un DSP Builder.	4	6	0	0
Lab. d.: Fiksēta punkta aritmētikas realizācija MATLAB/Simulink/FPGA	4	6	0	0
Lab. d.: Ģeneratora izveide FPGA, izmantojot Quartus vidi	4	6	0	0
Lab. d.: Decimālā skaitītāja ar 7 segmentu LCD indikatoru izveide ar FPGA izstrādes līdzekli	5	7	0	0
Lab. d.: LCD monitora pieslēgšana FPGA izstrādes līdzeklim	5	8	0	0
Lab. d.: Signālu formas kontrole darbā ar FPGA	4	6	0	0
Kopā:	48	72	0	0

Sasniedzamie studiju rezultāti un to vērtēšana

Sasniedzamie studiju rezultāti	Rezultātu vērtēšanas metodes
Prot patstāvīgi izveidot un simulēt relatīvi sarežģītu sistēmu funkcionālās shēmas MATLAB/SIMULINK vidēs.	Ieskaītīts atbilstošais kontroldarbs. Visu plānoto laboratorijas darbu sekmīga izstrāde un aizstāvēšana. Nokārtots eksāmens.
Spēj patstāvīgi darboties ar fiksētā punkta aritmētiku MATLAB/ SIMULINK vidēs un VHDL/Verilog valodās.	Ieskaītīts atbilstošais kontroldarbs. Visu plānoto laboratorijas darbu sekmīga izstrāde un aizstāvēšana. Nokārtots eksāmens.
Prot patstāvīgi darboties FPGA izstrādes vidē Quartus II, veidot tajā grafiski vienkāršākās loģiskās shēmas un simulēt tās.	Plānotā laboratorijas darbu sekmīga izstrāde un aizstāvēšana. Nokārtots eksāmens.
Spēj patstāvīgi izstrādāt relatīvi vienkāršu sistēmu loģiskās shēmas VHDL/Verilog valodās un simulēt to darbību Quartus II/ModelSim vidē.	Sekmīgi izstrādāts individuālais uzdevums. Sekmīga visu plānoto laboratorijas darbu izstrāde un aizstāvēšana. Nokārtots eksāmens.
Prot patstāvīgi īstenot vienkāršu loģisko shēmu darbību ar FPGA izstrādes līdzekļiem.	Sekmīga visu plānoto laboratorijas darbu izstrāde un aizstāvēšana. Nokārtots eksāmens.
Prot patstāvīgi izveidot relatīvi vienkāršu funkcionālo shēmu VHDL/Verilog kodus, izmantojot MATLAB/SIMULINK HDL koderi.	Ieskaītīts atbilstošais mājas darbs. Sekmīga atbilstošā laboratorijas darba izstrāde un aizstāvēšana. Nokārtots eksāmens.
Rezumējums: Prot patstāvīgi izstrādāt relatīvi sarežģītu sistēmu funkcionālās shēmas un simulēt tās. Spēj patstāvīgi izstrādāt loģiskās shēmas VHDL/Verilog valodā un īstenot to darbību ar FPGA izstrādes līdzekļiem	Sekmīgi izstrādāts individuālais uzdevums. Sekmīgi aizstāvēti visi laboratorijas darbi, nodoti visi mājas darbi, nokārtots eksāmens.

Studiju kursa plānojums

Daļa	KP	Stundas			Pārbaudījumi		
		Lekcijas	Prakt d.	Laborat	Ieskaite	Eksām.	Darbs
1.	6.0	2.0	0.0	2.0		*	